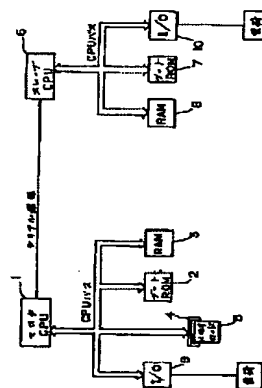


**ELECTRONIC EQUIPMENT****[71] Applicant:** CANON INC**[72] Inventors:** YAMADA MASANORI**[21] Application No.:** JP2000234646**[22] Filed:** 19910415**[43] Published:** 20010518[Go to Fulltext](#)[Get PDF](#)**[57] Abstract:**

**PROBLEM TO BE SOLVED:** To efficiently supply information to individual microcomputer in electronic equipment which has the microcomputers. **SOLUTION:** A memory card is stored with programs and constant data of a master CPU 1 and a slave CPU 6 respectively. The master CPU 1 checks the header part of the memory card mounted in a card adapter to discriminate the storage positions and sizes of data for the master CPU and slave CPU and the write addresses for expansion in RAMs. The data for the master CPU are written to an indicated position of a RAM 34, and the data for the slave CPU are transferred to the slave CPU 6 by transferring its data difference odds and write position information in series. The slave CPU writes the transferred data to an indicated write position of a RAM 8. Those CPUs start processing according to the data written to the RAMs after completing the data writing to their RAMs.

**[51] Int'l Class:** G06F015177 G06F009445 G06F01338

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-134543  
(P2001-134543A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 6 F 15/177	6 7 0	G 0 6 F 15/177	6 7 0 B
9/445		13/38	3 4 0 B
13/38	3 4 0	9/06	6 4 0 A

審査請求 有 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願2000-234646 (P2000-234646)  
(62) 分割の表示 特願平3-82146の分割  
(22) 出願日 平成3年4月15日 (1991.4.15)

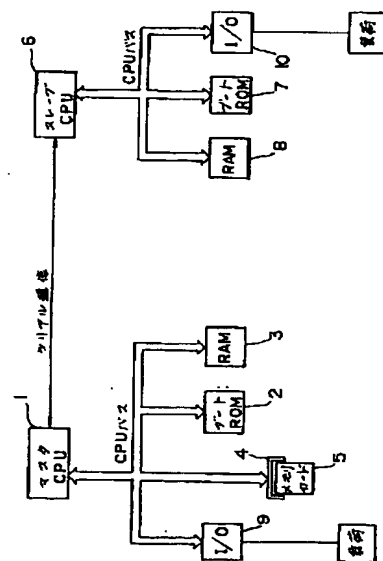
(71) 出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72) 発明者 山田 昌敬  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(74) 代理人 100076428  
弁理士 大塚 康徳 (外2名)

(54) 【発明の名称】 電子機器

(57) 【要約】

【課題】 複数のマイクロコンピュータを有する電子機器において、個々のマイクロコンピュータに対する情報を効率よく供給させる。

【解決手段】 メモリカードにはマスタCPU1及びスレーブCPU6それぞれのためのプログラムと定数データが記憶されている。マスタCPU1はカードアダプタに装着されたメモリカードのヘッダー部を調べて、マスタCPU用のデータとスレーブCPU用のデータの記憶位置、サイズ、そしてRAMに展開するときの書き込みアドレスを識別する。そして、マスタCPU用のデータはRAM34の指示された位置に書き込み、スレーブCPU用のデータは、そのデータ差オズと書き込み位置情報をシリアル転送してスレーブCPU6に転送する。スレーブCPUは転送されてきたデータをRAM8の指示された書き込み位置に書き込む。こうして、各々のCPUは自身のRAMへのデータ書き込みが終了すると、そのRAMに書き込まれたデータに従って処理を開始する。



**【特許請求の範囲】**

**【請求項1】** 複数のマイクロコンピュータからなる電子機器において、

各々のマイクロコンピュータで使用される情報を記憶する情報記憶媒体を備え、

第1のマイクロコンピュータは、

前記情報記憶媒体に記憶された情報を識別する識別手段と、

前記識別手段により識別された情報を該当するマイクロコンピュータに供給する供給手段とを備え、前記第1のマイクロコンピュータ以外のマイクロコンピュータは、前記第1のマイクロコンピュータの供給手段で供給されてきた情報を受け取り、受け取った情報を格納する格納手段と、

前記格納手段により格納された情報に基づいて処理する処理手段と、を備えることを特徴とする電子機器。

**【請求項2】** 前記供給手段はデータを転送する転送手段であることを特徴とする請求項1に記載の電子機器。

**【請求項3】** 前記第1のマイクロコンピュータとそれ以外のマイクロコンピュータとは2ポートメモリで接続されており、前記供給手段は該当する情報を対応するマイクロコンピュータの2ポートメモリに書き込む手段であることを特徴とする請求項1に記載の電子機器。

**【請求項4】** 前記第1のマイクロコンピュータとそれ以外のマイクロコンピュータとは回線で接続されており、前記供給手段は前記回線を介して情報を供給することを特徴とする請求項1に記載の電子機器。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は電子機器、詳しくは複数のマイクロコンピュータからなる電子機器に関するものである。

**【0002】**

**【従来の技術】** 従来、マイクロコンピュータを有する電子機器の組み込み型制御プログラムや定数データはROM化されて、基板上に装着されている。ROMの形態としては、紫外線消去可能で電氣的書き込み可能なEPROM、消去・書き込み共に不可能なマスクROMが一般的である。

**【0003】** 通常、ROM化された組み込み型制御プログラムに不具備があった場合や、その動作仕様に変更があった場合には、EPROMもしくはマスクROMを新たなものと差し替える必要がある。

**【0004】** この欠点を解消するために、組み込み型制御プログラムや定数データについても、例えば、パーソナルコンピュータのアプリケーションソフト等と同様にメモリカードやフロッピーディスクで供給し、RAM等書換可能なメモリに一旦展開した後で、実行する方法が考えられる。

**【0005】**

**【発明が解決しようとしている課題】** しかしながら、複数のマイクロコンピュータを有するこの種の装置においては、個々のマイクロコンピュータ単位に上述したプログラム読み込み手段を備えなければならず、装置の大型化とコストの面で問題が残る。

**【0006】** 本発明はかかる従来技術に鑑みなされたものであり、複数のマイクロコンピュータを有する電子機器において、個々のマイクロコンピュータに対する情報を効率よく供給させることが可能な電子機器を提供しようとするものである。

**【0007】**

**【課題を解決するための手段】** この課題を解決するため、本発明の電子機器は以下に示す構成を備える。すなわち、複数のマイクロコンピュータからなる電子機器において、各々のマイクロコンピュータで使用される情報を記憶した情報記憶媒体を備え、第1のマイクロコンピュータは、前記情報記憶媒体に記憶された情報を識別する識別手段と、前記識別手段により識別された情報を該当するマイクロコンピュータに供給する供給手段とを備え、前記第1のマイクロコンピュータ以外のマイクロコンピュータは、前記第1のマイクロコンピュータの供給手段で供給されてきた情報を受け取り、受け取った情報を格納する格納手段と、前記格納手段により格納された情報に基づいて処理する処理手段とを備える。

**【0008】**

**【作用】** かかる本発明の構成において、例えば情報記憶媒体には各々のマイクロコンピュータで使用される情報が格納されている。この情報記憶媒体の内容を第1のマイクロコンピュータが識別し、識別された情報をそれに該当するマイクロコンピュータに供給する。各マイクロコンピュータは供給されてきた情報を格納し、その格納した情報に基づいて処理を行う。

**【0009】**

**【発明の実施の形態】** 以下、添付図面に従って本発明に係る実施形態を詳細に説明する。

**【0010】** 図1に実施形態における電子機器のブロック構成図を示す。

**【0011】** 図中、1はマスタCPU、2はマスタCPUのブートROM、3はマスタCPU1がアクセスするRAMであり、外部から供給されるプログラムや定数データを格納し、またマスタCPU1のワークエリアとしても用いる。5は供給すべきプログラムや定数データを格納したメモリカード、4はそのメモリカード5の内容をバスを介してアクセスするためのカードアダプタである。6はスレーブCPU、7はスレーブCPU6のブートROM、8はスレーブCPU6のアクセスするRAMであり、外部から供給されるプログラムや定数データを格納し、またスレーブCPU6のワークエリアとしても用いる。9、10はそれぞれマスタCPU1及びスレーブCPU6が制御すべき負荷が接続されるI/Oであ

る。図示の如く、マスタCPU1とスレーブCPU6はシリアル通信により、データの送受信が可能になっている。

【0012】上述した構成において、本装置に電源が投入されると、スレーブCPU6はブートROM7に記憶された必要最小限の初期化処理を行う。この初期化処理の内容の一つとして、シリアル通信を介してマスタCPU1からの受信に備えた処理がある。いずれにしても、初期化処理が終了すると、シリアル通信を介してのマスタCPU1からのデータ受信待機状態になる。

【0013】一方、マスタCPU1も電源投入時にブートROM2に記憶されているプログラムに従って必要な初期化（シリアル通信に係る初期化処理含む）するが、その後、カードアダプタ4に装着されたメモリカード5からそこに記憶されている内容を読み出す。読み出した内容がマスタCPU1のためのプログラム、定数データ（以下、これらを総称して単にプログラムデータという）ならばRAM3に格納し、スレーブCPU6のためのプログラムデータならば、シリアル通信によりマスタCPU1からスレーブCPU6に送る。スレーブCPU6はマスタCPU1よりデータの受信があったときには、そのプログラムデータをRAM8に格納する。

【0014】こうして、メモリカード5から必要なデータを全て読み出したのち、マスタCPU1は、RAM3に格納したプログラムに従って制御動作を開始し、スレーブCPU6はRAM8に格納したプログラムに従って制御動作を開始する。

【0015】ここで、実施形態におけるメモリカード5のプログラムデータの構造を図5に示し、以下にそれを説明する。

【0016】図示の如く、メモリカード5のアドレス空間におけるアドレス“00H（Hは16進数を意味する。以下、同様。）から“0BH”までの12バイトにマスタCPU用プログラムデータとスレーブCPU用プログラムデータのそれぞれについてメモリカード内での格納されているアドレスとサイズ、及びそれぞれの実行のための最終的なRAM上の格納先アドレスが書き込まれている。換言すれば、このメモリカード5のヘッダ部（アドレス00H～アドレス0BH）を調べれば、自身（マスタCPU用プログラムがどこに格納されているのか、スレーブCPU用プログラムデータがどこにあるのか）判別できるようになっている。

【0017】上述した構成における電源投入時におけるマスタCPU1及びスレーブCPU6の動作を以下に説明する。

【0018】先ず、マスタCPU1の動作処理手順を図6のフローチャートに従い説明する。尚、当然のことながら、このフローチャートに係るプログラムはブートROM2に格納されているものである。

【0019】電源が投入されると、先ずステップS1

で、CPU1は自身の制御下にある各回路（図示せず）、及びスレーブCPU6とのシリアル転送にかかる初期設定を行う。

【0020】次いで、ステップS2に進んで、カードアダプタ4を介して、装着されたメモリカード5のヘッダを参照し、自身（マスタCPU）のプログラムデータの記憶位置、サイズ及びスレーブCPU用プログラムデータの記憶位置、サイズを調べる。そして、次のステップS3において、マスタCPU用プログラムを読み込み、それを指示されたRAM3のアドレス位置に書き込む。この後、ステップS4において、スレーブCPU6がシリアル受信可能になったかを確認する。スレーブCPU6が受信可能になったと判断した場合には、検出したスレーブCPU6用のプログラムデータの書き込み先アドレス及びサイズをスレーブCPU6に転送し、続いてその実態であるプログラムデータを送信する。

【0021】こうして、マスタCPU1は自身のプログラムがRAM3に格納され、且つ、スレーブCPU6の動作プログラムの転送が終了すると、その制御をRAM3に移す（具体的にはマスタCPU1のプログラムカウンタPCをRAM3上の該当アドレスに更新させる）。

【0022】次に、スレーブCPU6の電源投入時における動作を図7のフローチャートに従って説明する。尚、このフローチャートに係るプログラムはブートROM7に格納されていることは言うまでもない。

【0023】さて、電源が投入されると、ステップS11で、スレーブCPU6の制御下にある各回路（不図示）やマスタCPU1とのシリアル転送にかかる初期化処理を行う。そして、一連の初期化処理が終了した時点で、マスタCPU1に受信可能であることを示すステータス信号を送出する（先の説明で、マスタCPU1がスレーブCPU6が受信可能であるか否かを判断したのは、この信号を調べていることになる）。そして、次のステップS12において、マスタCPU1よりデータ受信に備える。

【0024】データ受信があったと判断した場合には、ステップS13に進み、先ず、スレーブCPU用プログラムデータのRAM8に対する書き込み先アドレスとそのサイズを入力する。そして、それに続いて転送されてきたプログラムデータをRAM8の指示されたアドレス位置から順次書き込んでいく。こうして、指示されたサイズ分のデータ書き込みが終了すると、RAM8にはスレーブCPU6の動作プログラムが展開されたことになるから、次のステップS8で、制御をRAM8のプログラムに移す。

【0025】以上のようにして、2つ以上のCPUのそれぞれのためのプログラムと定数データを同一の記憶媒体とインタフェースを介して外部から供給できる。

【0026】〔第2の実施形態の説明〕図2に第2の実施形態における電子機器のブロック構成図を示す。

【0027】尚、図示で、符号1～10は上述した第1の実施形態と同じであるので、その説明は割愛する。図示で、11はスレーブCPU6のためのプログラムと定数データを実行のために格納するRAMである。このRAM11は2ポートRAM（いわゆるデュアルポートRAM）であり、マスタCPU1、スレーブCPU6の双方のCPUバスに接続されていて、各々からアクセスすることが可能である。またマスタCPU1はI/O9を介してスレーブCPU6のHALT信号とRESET信号を制御できる。

【0028】マスタCPU1は、電源投入時にブートROM2に記憶されているプログラムに従ってメモリカード5からその内容を読み出し、マスタCPU用プログラムデータである場合にはRAM3に格納する。また、メモリカード5から読み出した内容がスレーブCPU6のためのプログラムデータであれば、2ポートRAM11に格納する。この作業の間、マスタCPU1はHALT信号により、スレーブCPU6を停止状態に保持し、メモリカードから必要なデータを全て読み出したのち、スレーブCPU6のHALT状態を解除するとともに、RESET信号によりリセットする。リセットされたスレーブCPU6は2ポートRAM11に格納されているプログラムに従って動作を開始する。

【0029】以上のようにして、2つ以上のCPUのためのプログラム、定数データを同一のインタフェースを介して外部から供給できる。尚、このようにすることで、スレーブCPU6のブートROMが不要にもなる。

【0030】【第3の実施形態の説明】図3に第3の実施形態における電子機器のブロック構成図を示す。尚、同一符号は上述した第1の実施形態と同じである。

【0031】図示において、12はメモリカードをアクセスするめのバスを切り換えるバスセレクト部であり、13はバスセレクト12の選択対象を指示するスイッチ部である。スイッチ部13の設定が「A」側のとき、マスタCPU1がメモリカードの内容を読み出すことができ、スイッチ部13の設定が「B」側のときスレーブCPU6がメモリカードの内容を読み出すことができる。またスイッチ部13の設定状態はSEL信号としてそれぞれのCPUのI/Oに入力される。14、15は電氣的消去／書き込みが可能なEEPROM（電氣的に消去可能な不揮発性メモリ）であり、各CPUが実行すべきプログラム、定数データを格納する。EEPROMの代わりにバッテリーバックアップされたRAMを使用することもできる。

【0032】マスタCPU1、スレーブCPU6は共に電源投入時にそれぞれのブートROM2、7のプログラムに従って立ち上がる。まず、SEL信号の状態を調べ、メモリカード5からプログラムを読み出すべきかを判定する。SEL信号が「0」の時マスタCPU1はメモリカードの内容をEEPROM14に格納し、そ

の後マスタCPU1はブートROM2のプログラムによる制御から新たに更新されたEEPROM14のプログラムによる制御へと遷移する。

【0033】一方、スレーブCPU6はメモリカード5からプログラムを読み出すことなく、ブートROM7のプログラムによる制御から更新されなかったEEPROM15のプログラムによる制御へと遷移する。SEL信号が「1」の時はその逆である。

【0034】以上のようにして、2つ以上のCPUのためのプログラムのバージョンアップを外部から供給できることになる。

【0035】【第4の実施形態の説明】第4の実施形態におけるブロック構成図を図4に示し、以下に説明する。符号の説明は上記実施形態と同じである。

【0036】図示において、16はモデムである。モデム16とCPU1は例えばRS232Cで接続される。公衆回線を介して送られてきたプログラムデータはRAM3もしくはEEPROM14に格納される。

【0037】以上のようにして、CPUのためのプログラム、定数データのバージョンアップを外部の装置から供給できる。

【0038】以上説明したように本実施形態によれば、同一の情報供給装置から複数のCPUに対するプログラムデータ、すなわち、プログラムそのものとそのプログラムが参照する定数データを供給することが可能になる。

【0039】特に、第1のCPUが読みだしたデータが第2のCPUに必要なデータであった場合、共通にアクセス可能なメモリ領域にそのデータを格納し、その後第2のCPUを起動することで、同一の記憶媒体から複数のCPUのいずれかに必要なデータを供給できる。

【0040】さらに、複数CPUのそれぞれから記憶媒体へのアクセス経路を切り換えることで、同一の記憶媒体から複数のCPUのいずれかに必要なデータを供給できた。

【0041】また、外部からの供給手段として、メモリカードやフロッピー（登録商標）ディスクなどのオフラインメディア以外に、公衆回線やLANを用いることで、遠隔地からのバージョンアップも可能となる。

【0042】

【発明の効果】以上説明したように本発明によれば、複数のマイクロコンピュータを有する電子機器において、個々のマイクロコンピュータに対する情報を効率よく供給させることが可能になる。

【図面の簡単な説明】

【図1】第1の実施形態における電子機器のブロック構成図である。

【図2】第2の実施形態における電子機器のブロック構成図である。

【図3】第3の実施形態における電子機器のブロック構

成図である。

【図4】第4の実施形態における電子機器のブロック構成図である。

【図5】実施形態におけるメモリカード内部のデータ構造説明図である。

【図6】第1の実施形態におけるマスタCPUのブートプログラムの処理内容を示すフローチャートである。

【図7】第1の実施形態におけるスレーブCPUのブートプログラムの処理内容を示すフローチャートである。

【符号の説明】

1 マスタCPU

2、7 ブートROM

3、8 RAM

4 メモリアダプタ

5 メモリカード

6 スレーブCPU

9、10 I/O

11 2ポートRAM

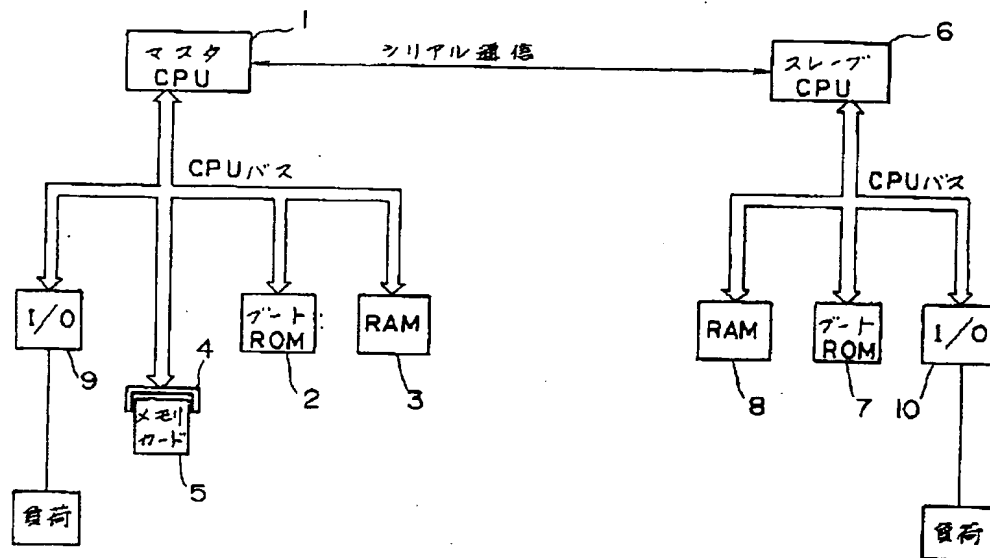
12 バスセクタ

13 スイッチ部

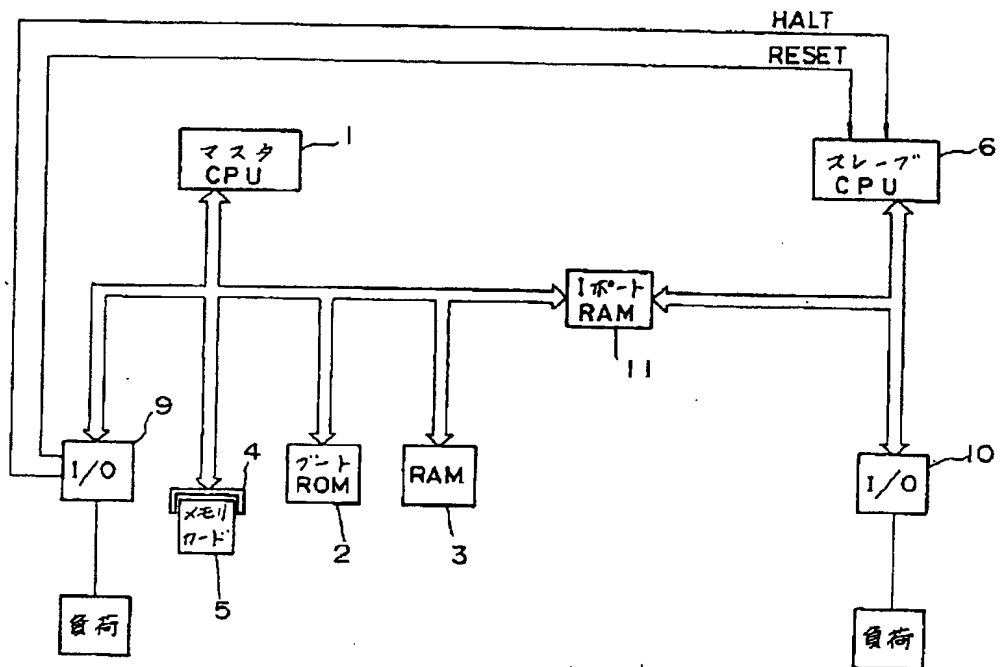
14、15 EEPROM

16 モデム

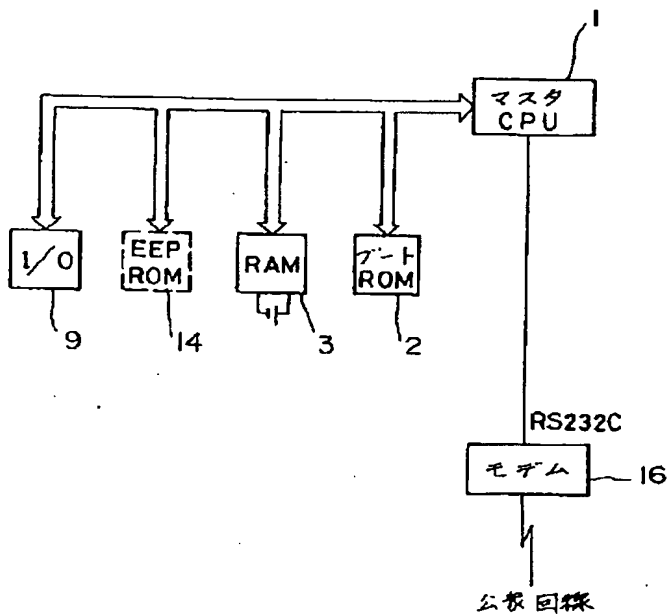
【図1】



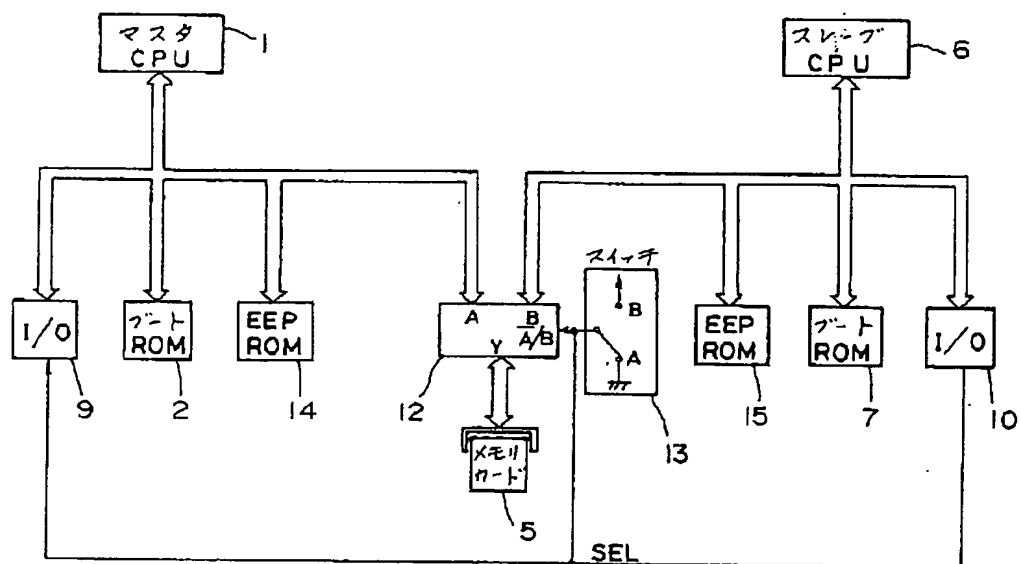
【図2】



【図4】

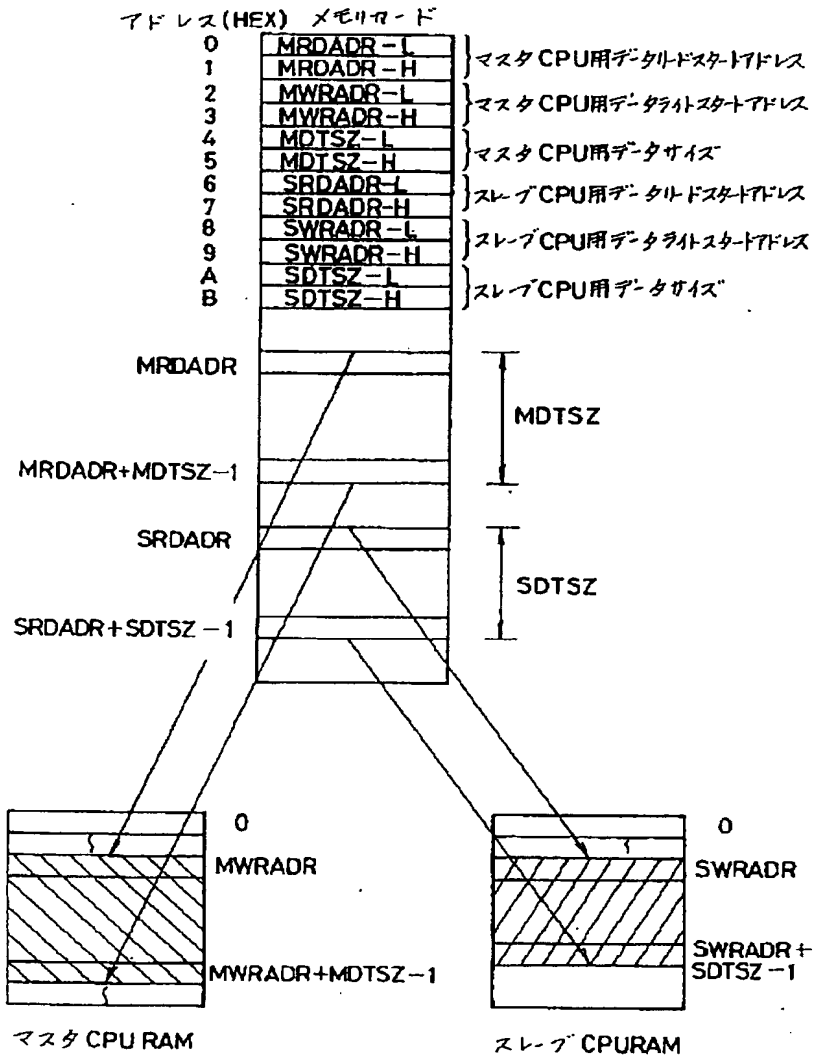


【図3】

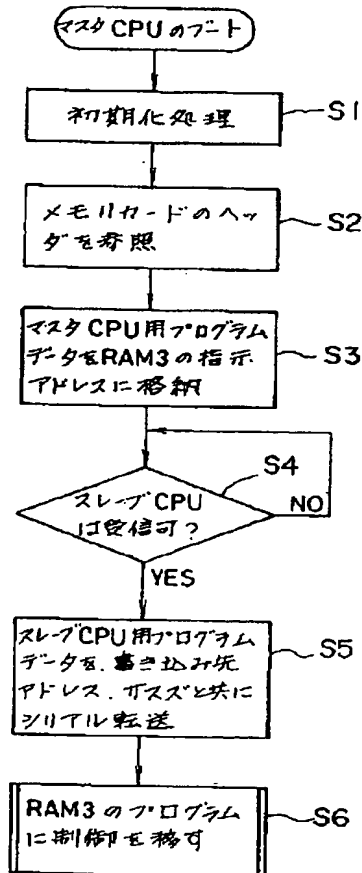




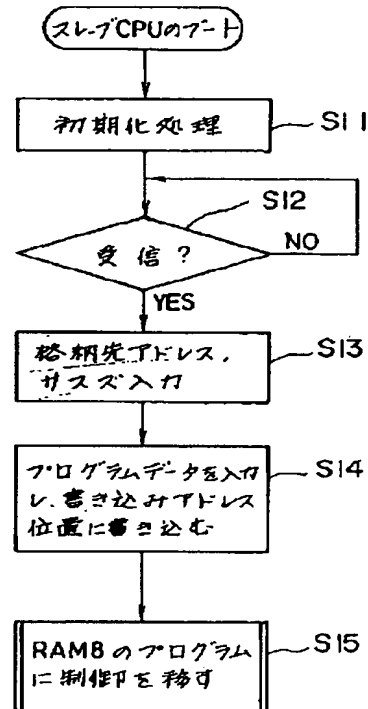
【図5】



【図6】



【図7】



## 【手続補正書】

【提出日】平成12年8月30日（2000. 8. 30）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 マスタCPUと、

前記マスタCPUにバスを介して接続される第1ブートROMと、

前記マスタCPUにバスを介して接続され、前記マスタCPUによって制御される第1負荷が接続される第1I/O手段と、

前記マスタCPUにバスを介して接続され、前記第1負荷を制御するためのプログラムデータが記憶される第1記憶手段と、

前記マスタCPUにバスを介して接続され、外部から供給されるプログラムデータを入力する入力手段と、スレーブCPUと、

前記スレーブCPUにバスを介して接続される第2ブートROMと、

前記スレーブCPUにバスを介して接続され、前記スレーブCPUによって制御される第2負荷が接続される第2I/O手段と、

前記スレーブCPUにバスを介して接続され、前記第2負荷を制御するためのプログラムデータが記憶される第2記憶手段と、

前記マスタCPUと、前記スレーブCPUとの間でデータの送受信を行うための通信手段とを有し、

当該電子機器に電源が投入されると、前記マスタCPUは、前記第1ブートROMに記憶されたプログラムに従って前記通信手段を介した通信に係る初期化を含む初期化処理を行うとともに、前記スレーブCPUは、前記第

2 ブートROMに記憶されたプログラムに従って、前記通信手段を介する前記マスタCPUからのデータ受信に備えた処理を含む初期化処理を行って前記マスタCPUにデータ受信可能状態であることを示すステータス情報を送信し、

前記マスタCPUは、前記入力手段により入力された情報が前記マスタCPUのためのプログラムデータであるか、前記スレーブCPUのためのプログラムデータであるかを判断し、前記マスタCPUのためのプログラムデータならばそのプログラムデータを前記第1記憶手段に格納し、前記スレーブCPUのためのプログラムデータならば、前記通信手段を介して受信したステータス情報に基づいて前記スレーブCPUがデータ受信可能状態になったことを確認した後、前記スレーブCPUのためのプログラムデータを前記通信手段を介して前記スレーブCPUに送信し、

前記スレーブCPUは、前記マスタCPUから前記通信手段を介してプログラムデータを受信したときには、そのプログラムデータを前記第2記憶手段に格納することを特徴とする電子機器。

【請求項2】 前記入力手段によって入力される情報の所定の位置には、前記マスタCPUのためのプログラムデータと、前記スレーブCPUのためのプログラムデータのそれぞれについての位置とサイズ、及びそれぞれの実行のための前記第1、第2記憶手段上の格納アドレスが含まれ、

前記マスタCPUは、前記マスタCPUのためのプログラムデータの位置、サイズ、及び格納先アドレスと、前記スレーブCPUのためのプログラムデータの位置、サイズとを調べ、前記マスタCPUのためのプログラムデータを、前記第1記憶手段の格納先アドレスで示される位置に書き込むとともに、前記通信手段を介して受信したステータス情報に基づいて前記スレーブCPUがデータ受信可能状態になったことを確認した後、前記スレーブCPUのためのプログラムデータとともにそのサイズ及び格納先アドレスを前記通信手段を介して前記スレーブCPUに送信し、

前記スレーブCPUは、受信したプログラムデータを、受信した前記第2記憶手段の格納先アドレスで示される位置に格納することを特徴とする請求項1に記載の電子機器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】本発明はかかる従来技術に鑑みなされたものであり、複数マイクロコンピュータを有し、それぞれが制御対象を制御する電子機器において、それぞれのマイクロコンピュータ用のプログラムを1つの入力手段に

供給し、電源を投入するという単純な作業で、複数のマイクロコンピュータそれぞれに特化したプログラムを供給でき、その動作を開始させることが可能な電子機器を提供しようとするものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】この課題を解決するため、本発明の電子機器は以下の構成を備える。すなわち、マスタCPUと、前記マスタCPUにバスを介して接続される第1ブートROMと、前記マスタCPUにバスを介して接続され、前記マスタCPUによって制御される第1負荷が接続される第1I/O手段と、前記マスタCPUにバスを介して接続され、前記第1負荷を制御するためのプログラムデータが記憶される第1記憶手段と、前記マスタCPUにバスを介して接続され、外部から供給されるプログラムデータを入力する入力手段と、スレーブCPUと、前記スレーブCPUにバスを介して接続される第2ブートROMと、前記スレーブCPUにバスを介して接続され、前記スレーブCPUによって制御される第2負荷が接続される第2I/O手段と、前記スレーブCPUにバスを介して接続され、前記第2負荷を制御するためのプログラムデータが記憶される第2記憶手段と、前記マスタCPUと、前記スレーブCPUとの間でデータの送受信を行うための通信手段とを有し、当該電子機器に電源が投入されると、前記マスタCPUは、前記第1ブートROMに記憶されたプログラムに従って前記通信手段を介した通信に係る初期化を含む初期化処理を行うとともに、前記スレーブCPUは、前記第2ブートROMに記憶されたプログラムに従って、前記通信手段を介する前記マスタCPUからのデータ受信に備えた処理を含む初期化処理を行って前記マスタCPUにデータ受信可能状態であることを示すステータス情報を送信し、前記マスタCPUは、前記入力手段により入力された情報が前記マスタCPUのためのプログラムデータであるか、前記スレーブCPUのためのプログラムデータであるかを判断し、前記マスタCPUのためのプログラムデータならばそのプログラムデータを前記第1記憶手段に格納し、前記スレーブCPUのためのプログラムデータならば、前記通信手段を介して受信したステータス情報に基づいて前記スレーブCPUがデータ受信可能状態になったことを確認した後、前記スレーブCPUのためのプログラムデータを前記通信手段を介して前記スレーブCPUに送信し、前記スレーブCPUは、前記マスタCPUから前記通信手段を介してプログラムデータを受信したときには、そのプログラムデータを前記第2記憶手段に格納することを特徴とする。

## 【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【作用】かかる本発明の構成において、入力手段にプログラムデータを入力し、装置をブートさせると、マスターCPUは第1ブートROMにしたがってまず通信手段を介した通信に係る初期化を含む初期化処理を行う。また、スレーブCPUもまた、第2ブートROMに記憶されたプログラムに従って、通信手段を介するマスターCPUからのデータ受信に備えた処理を含む初期化処理を行って、マスターCPUにデータ受信可能状態であることを示すステータス情報を送信する。そして、マスターCPUは、入力手段により入力された情報がマスターCPUのためのプログラムデータであるか、スレーブCPUのためのプログラムデータであるかを判断し、マスターCPUのためのプログラムデータならばそのプログラムデータを第1記憶手段に格納し、スレーブCPUのためのプログ

ラムデータならば、通信手段を介して受信したステータス情報に基づいてスレーブCPUがデータ受信可能状態になったことを確認した後、スレーブCPUのためのプログラムデータを通信手段を介してスレーブCPUに送信する。スレーブCPUは、マスターCPUから通信手段を介してプログラムデータを受信したときには、そのプログラムデータを第2記憶手段に格納する。

## 【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】

【発明の効果】以上説明したように本発明によれば、複数マイクロコンピュータを有し、それぞれが制御対象を制御する電子機器において、それぞれのマイクロコンピュータ用のプログラムを1つの入力手段に供給し、電源を投入するという単純な作業で、複数のマイクロコンピュータそれぞれに特化したプログラムを供給でき、その動作を開始させることが可能になる。